

DISS. ETH NO. 26967

Design of Power-Efficient High-Purity Phase-locked Frequency Synthesis

A thesis submitted to attain the degree of
DOCTOR OF SCIENCES of ETH ZURICH
(Dr. sc. ETH Zurich)

presented by

LIANBO WU

MSc EE, Delft University of Technology, the Netherlands
born on December 3rd, 1989
citizen of Tianjin, P.R.China

accepted on the recommendation of

Prof. Dr. Qiuting Huang, examiner
Prof. Dr. R.B. Staszewski, co-examiner

2020

Abstract

This thesis is a contribution to the research regarding the design and implementation of power-efficient phase-locked frequency synthesizer with high spectral purity. With the unending evolution of wireless communications and the unceasing growth of RF system-on-chip (SoC) market, power-efficient frequency synthesis solutions with higher spectral purity are more crucial than ever. Increasingly stringent specifications with dense constellations are imposed on integrated phase noise (IPN) and spur levels to fulfill the related requirements such as transmitter error vector magnitude (EVM), receiver sensitivity, and blocker tolerance. On the other hand, for battery-operated SoC devices, the power budget is limited while the performance demands are ever-increasing. Therefore, high-performance phase-locked loops (PLLs), with improved power-jitter trade-off (higher power efficiency) are required. This dissertation seeks to explore alternative novel PLL architectures towards such a goal. It investigates both opportunities and design challenges embedded within conventional analog and digital solutions. The fundamental limitations to fulfill a high-performance fractional-N operation are discussed and analyzed. To overcome these obstacles, proposed solutions from both architecture and circuit levels are presented. To prove the proposed concepts, three prototypes have been carried out in 130nm, targeting at cellular application and MRI on-coil receiver arrays. The measured results show that the proposed FDVPD-based DPLL has achieved the state-of-the-art jitter-power trade-off among all reported sub-10GHz PLLs, paving the way further for DPLLs to be applied in high-performance RF SoCs.

Zusammenfassung

Diese Doktorarbeit ist ein Forschungsbeitrag zum Design und zur Implementierung energieeffizienter Frequenzsynthese mit hoher spektraler Reinheit. Angesichts der fortwährenden Entwicklung der drahtlosen Kommunikation und des unaufhörlichen Marktwachstums für Hochfrequenz-Systeme-on-Chip (SoC) sind energieeffiziente Frequenzsyntheselösungen mit hoher spektraler Reinheit wichtiger denn je. Zunehmend strengere Spezifikationen mit komplexen Modulationskonstellationen werden für integriertes Phasenrauschen (IPN) und spektrale Masken festgelegt, um die damit verbundenen Anforderungen wie die Grösse des Senderfehlervektors (EVM), die Empfängerempfindlichkeit und die Blockertoleranz zu erfüllen. Andererseits ist bei batteriebetriebenen SoC basierten Geräten das Strombudget begrenzt, während die Leistungsanforderungen ständig steigen.

Daher sind Hochleistungs Phasenregelkreise (PLLs) mit verbessertem Power-Jitter-Verhalten (höhere Energieeffizienz) erforderlich. Diese Dissertation erforscht alternative neuartige PLL-Architekturen um ein solches Ziel zu erreichen. Sie untersucht sowohl Chancen als auch Herausforderungen im Design, welche herkömmliche analoge und digitale Lösungen mit sich bringen. Die grundlegenden Einschränkungen zur Erfüllung einer Hochleistungs-Fractional-N-Frequenzerzeugung werden diskutiert und analysiert. Um diese Hindernisse zu überwinden, werden Lösungsvorschläge sowohl auf Architektur- als auch auf Schaltungsebene vorgestellt.

Um die vorgeschlagenen Konzepte umzusetzen und deren Wirksamkeit aufzuzeigen, wurden drei Prototypen in 130 nm CMOS realisiert, welche auf Mobilfunkanwendungen und Magnetresonanz-On-Coil-Empfänger-Arrays abzielen. Die gemessenen Ergebnisse zeigen,

dass der vorgeschlagene digitale PLL auf differentieller Spannungsbasis das beste Jitter-Power-Verhalten unter allen publizierten PLLs unter 10 GHz erzielt, was den Weg für die Anwendung von solchen digitalen PLLs in Hochleistungs-RF-SoCs weiter ebnet.