

Diss. ETH No. 13759

A SDH Add/Drop Multiplexer as “System-On-Chip”

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY
ZURICH

for the degree of
Doctor of Technical Sciences

presented by
MARKUS ANDREAS THALMANN
Dipl. El. Ing. ETH
born June 2, 1965
citizen of Lucerne

accepted on the recommendation of
Prof. Dr. W. Fichtner, examiner
Prof. Dr. A. Kündig, co-examiner

2000

Abstract

A novel architecture for an ultra-compact “Add-Drop/Terminal Multiplexer” for “Synchronous Digital Hierarchy” telecommunication networks is presented. This new architecture [39] allows to integrate all digital functions (except the System Control Unit) into one ASIC.

The minimally configured complete system occupies only one single card of size $235 \times 265 \text{ mm}^2$. If “Multiplex Section”-, “Sub Network Connection”- and “Card-Protection” is required, two identical cards are used.

The key features that made a “System-On-Chip” solution feasible are:

- a novel protection scheme which lessens the inter-card traffic and allows the use of smaller switch matrices
- a new data path architecture which needs just one single buffer with integrated switch matrix functionality
- an embedded processor which substitutes various large hardware blocks.

Compared to the predecessor system, size, power consumption and cost could significantly be reduced. To offer the functionality of former 15 cards, only two are now required. Depending on the configuration of the network element the manufacturing costs could be lowered by a factor of two to four.

The dramatic size and cost reduction makes it possible to apply the compact multiplexer to new business areas which could not be covered by the predecessor system.

Zusammenfassung

In der vorliegenden Arbeit wird eine neue System-Architektur vorgestellt, welche es ermöglicht, ultrakompakte “Add-Drop/Terminal Multiplexer” für “Synchrone Digitale Hierarchie”-Telekommunikations-Netzwerke zu bauen. Dank der neuen Architektur [39] konnten alle für das System benötigten digitalen Funktionen bis auf den System-Rechner in ein einziges ASIC integriert werden. Das kleinst mögliche, komplette System umfasst nur eine Baugruppe mit den Ausmassen $235 \times 265 \text{ mm}^2$. Falls zusätzlich “Multiplex Section”-, “Sub Network Connection”- und “Card”-Protection benötigt wird, kann eine zweite, identische Baugruppe verwendet werden.

Um eine “System-On-Chip”-Lösung zu ermöglichen, wurden folgende Punkte verbessert: Ein neues Datenfluss-Schema reduziert das Datenaufkommen zwischen den beiden benötigten Baugruppen und ermöglicht es, kleinere Koppelfelder zu verwenden. Eine neuartige Datenpfad-Architektur speichert die Daten nur an einer Stelle und verwendet diesen Speicher gleichzeitig zum Koppeln der Daten. Der auf dem ASIC eingebaute Prozessor ersetzt viele der zuvor benötigten Schaltnetzwerke.

Im Vergleich zum Vorgängersystem konnten die Grösse, der Leistungsverbrauch und die Herstellungskosten markant gesenkt werden. Ein Multiplexer mit gleichem Funktionsumfang benötigt nun nur noch zwei statt 14 Baugruppen. Abhängig von der gewünschten Konfiguration konnten gleichzeitig die Herstellungskosten um einen Faktor von Zwei bis Vier verringert werden.

Die reduzierte Grösse und die gesenkten Herstellungskosten ermöglichen es, den kompakten Multiplexer in neuen Anwendungsgebieten einzusetzen, für die das vorherige System nicht geeignet war.