

Diss. ETH No. 12276

Hades

—

Fast Hardware Synthesis Tools and a
Reconfigurable Coprocessor

A dissertation submitted to the
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH
(ETH ZÜRICH)

for the degree of
Doctor of Technical Sciences

presented by
Stefan Hans-Melchior Ludwig
Dipl. Informatik-Ing. ETH
born May 21, 1966
citizen of Schiers, Graubünden

accepted on the recommendation of
Prof. Dr. N. Wirth, examiner
Prof. Dr. H. Eberle, co-examiner

1997

Kurzfassung

Das Aufkommen von benutzerprogrammierbarer Hardware entfachte ein Interesse an konfigurierbaren Koprozessoren, welche zur Beschleunigung von zeitkritischen Softwareteilen benutzt werden können, indem diese in Hardware gegossen werden. Applikationen, welche auf konfigurierbaren Koprozessoren ausgeführt werden, werden mittels Hardwarebeschreibungssprachen oder schematischen Eingabesystemen beschrieben. Diese Beschreibungen werden in Logikgatter übersetzt, für welche ein Layout (Auslegeplan) gefunden werden muss. Logik- und Layoutsynthese sind zeitintensive Vorgänge, für welche heutige Hardwaresynthesewerkzeuge bis zu vier Größenordnungen mehr Zeit benötigen, als Compiler zur Übersetzung von Softwarebeschreibungen. Heutige Synthesewerkzeuge benutzen stochastische Algorithmen, um ihre Resultate zu erzielen und das Wissen des Benutzers über ein Design kann nur schwer in den Entwicklungszyklus eingebracht werden.

In dieser Dissertation wurde ein komplettes Hardwarebeschreibungssystem entwickelt. Es besteht aus einem konfigurierbaren Koprozessor und entsprechender Layoutsynthesesoftware.

Der konfigurierbare Koprozessor von Hades besteht aus einem einzelnen XC-6216 FPGA und lokalem Speicher in der Form von statischem RAM. Der Koprozessor ist mittels einer Speicherkartenschnittstelle mit einer Arbeitsstation verbunden.

Die Hades-Software besteht aus einem Layoutsynthese-Backend für die XC-6200 Architektur. Als Frontend zu unserer Software dient Trianus, ein Gerüst zur Entwicklung von FPGA Designs. Die Hardwarebeschreibungssprache Lola dient zur Beschreibung der Algorithmen.

Die Hades Software besteht aus

- einem Technologie-Mapper,
- einem deterministischen und konstruktiven Plazieralgorithmus, der sich auf Plaziervorgaben des Benutzers verlässt, um dichte Layouts zu erzielen,
- einem Labyrinth-basierten Router, der durch den Benutzer in verschiedener Weise beeinflusst werden kann,

- einem Generator von Konfigurationsinformation, und
- einem Schnittstellengenerator, welcher zu einer Hardwareapplikation automatisch eine Softwareschnittstelle generiert.

Das resultierende System hat auf heutigen Rechnern sehr schnelle Übersetzungszeiten im Bereich von Sekunden. Die Hades Software ist mindestens eine Größenordnung schneller als die vom Hersteller erhältlichen Werkzeuge für dieselbe FPGA Architektur. Die schnellen Übersetzungszeiten eröffnen eine neue Art der interaktiven Entwicklung von Hardware und erlauben es, auf wirksame Weise das Wissen des Entwicklers in den Entwicklungszyklus einzubringen.

Abstract

The advent of Field-Programmable Gate Arrays has spurred an interest in building reconfigurable coprocessors, which are used to accelerate the time-intensive parts of software by casting them into programmable hardware. Applications running on reconfigurable coprocessors are developed using hardware description languages or schematic capture systems. These descriptions are translated into logic gates, for which a layout has to be found. Logic and layout synthesis is a time-consuming process and turnaround times of traditional hardware synthesis tools are up to four orders of magnitude longer than those of software compilers. Current synthesis tools rely on stochastic algorithms to achieve their results and the user's knowledge about a design can enter the design cycle only with difficulty.

In the course of this thesis, a complete hardware description system has been developed. It consists of a reconfigurable coprocessor based on the Xilinx XC6200 FPGA architecture and corresponding layout synthesis tools.

The Hades reconfigurable coprocessor consists of a single XC6216 FPGA and local memory in the form of static RAM. The coprocessor is attached via a memory-mapped interface to a workstation.

The Hades software is composed of a layout synthesis back-end for the XC-6200 architecture. The front-end to our tools is Trianus, a framework for FPGA design. The hardware description language Lola is used to describe the algorithms. The Hades software is composed of

- a technology mapper,
- a deterministic and constructive placement algorithm, which relies on placement hints given by the user to achieve dense layouts,
- a maze-running router, which can be influenced by the user in various ways,
- a configuration bitstream generator, and
- an interface generator, which generates a software interface to a hardware application automatically.

The resulting system achieves very fast turnaround times for layout synthesis on the order of seconds on contemporary hardware. The Hades software is at least an

order of magnitude faster than commercially available tools for the same FPGA architecture. The fast turnaround times open up a new way for interactively designing hardware and effectively bring the designer's knowledge into the design cycle.