

# **Development and Analysis of a Workstation Computer**

**A dissertation submitted to the  
SWISS FEDERAL INSTITUTE OF TECHNOLOGY ZURICH**

**for the degree of  
Doctor of Technical Sciences**

---

**presented by  
Johann Jakob Eberle, Dipl. El.-Ing. ETH  
born August 18, 1959  
citizen of Häggenschwil (St.Gallen)**

**accepted on the recommendation of  
Prof. Dr. N. Wirth, examiner  
Prof. Dr. W. Fichtner, co-examiner**

## Abstract

The workstation *Ceres* is a stand-alone computer for a single user. The design is an example of a simple system architecture reflected by a careful implementation with minimal costs. *Ceres* is based on the 32-bit microprocessor NS32032, which is oriented to the use of high-level and modular languages. A key feature is the high-resolution bitmapped graphics display which is attractive for applications such as program development or document processing. The arbitrated memory bus and the modular system organization are open to future hardware extensions.

This thesis documents the hardware development of the workstation *Ceres*. The design objectives of the raster graphics interface and of the bus structure are discussed in detail. Finally, processor-memory communication of two prototype versions is analysed, which differ only in the width of their data paths to memory.

The raster graphics interface of *Ceres* contains an integral frame buffer memory, which is directly addressable by the CPU. The frame buffer is based on video RAM technology which ideally meets the high video bandwidth requirements of the 1024 x 800 non-interlaced display. An inexpensive and flexible solution is retained by dispensing with dedicated hardware support for image manipulation.

The backbone of the *Ceres* computer is the memory bus, which is shared by multiple master devices. The bus is controlled by a centralized arbiter. Short response times are ensured in that the shared memory is re-allocated for every memory cycle according to fixed priorities. A default assignment strategy prevents the processor from being significantly slowed by arbitration delays.

The analysis of processor-memory communication is motivated by the observed small benefit in performance gained by replacing the NS32016 CPU with the NS32032 CPU and thus doubling the memory bus bandwidth. Measurements show that the bus capacity of the NS32032-based *Ceres* is only used to a small degree. Therefore, the additional costs can hardly be justified. This contrasts with the frequently heard claims of the superiority of 32-bit computers.

## Kurzfassung

Ceres ist ein Arbeitsplatzrechner für einen einzelnen Benutzer. Der Entwurf ist ein Beispiel einer einfachen Systemarchitektur, welche sich in einer sorgfältigen Implementierung mit minimalem Aufwand widerspiegelt. Ceres basiert auf dem 32-bit Mikroprozessor NS32032, der auf die Verwendung von höheren, modularen Programmiersprachen ausgerichtet ist. Eine Besonderheit ist der hochauflösende Rastergrafik-Bildschirm, welcher Anwendungen wie die Programmentwicklung oder das Bearbeiten von anspruchsvollen Dokumenten attraktiv gestaltet. Der arbitrierte Speicherbus und der modulare Systemaufbau erlauben künftige Erweiterungen der Hardware.

Die Dissertation dokumentiert die Hardware-Entwicklung des Arbeitsplatzrechners Ceres. Ausführlich werden die Entwurfskriterien der Rastergrafik-Schnittstelle und der Busstruktur besprochen. Schliesslich wird die Prozessor-Speicher-Kommunikation zweier Prototypen-Versionen untersucht, die sich lediglich in der Breite ihrer Datenpfade zum Speicher unterscheiden.

Die Rastergrafik-Schnittstelle von Ceres enthält einen separaten Bildschirmspeicher, welcher von der CPU direkt zugegriffen werden kann. Der Bildschirmspeicher ist mit Video-RAMs aufgebaut, die sich auf ideale Weise für die benötigte hohe Video-Bandbreite des ohne Zeilensprungverfahren arbeitenden Bildschirms eignen. Eine kostengünstige und flexible Lösung ist gewährleistet, indem auf spezielle Hardwareunterstützung der Bildmanipulationen verzichtet wurde.

Das Rückgrat des Ceres-Rechners ist der arbitrierte Speicherbus, der von mehreren sendenden, als auch empfangenden Teilnehmern gemeinsam benutzt wird. Der Bus wird von einem zentralen Arbitrer verwaltet. Indem jeder Zugriff auf den gemeinsamen Speicher gemäss festen Prioritäten einzeln vergeben wird, werden kurze Antwortzeiten ermöglicht. Liegen keine anderweitigen Busanforderungen vor, so kann die CPU dank einer bevorzugten Behandlung ohne Verzögerung auf den Speicher zugreifen.

Die Analyse der Prozessor-Speicher-Kommunikation wurde durch den geringen Leistungsgewinn veranlasst, welcher beobachtet wurde, nachdem die NS32016 CPU durch die NS32032 CPU ersetzt wurde und damit die Speicherbus-Bandbreite verdoppelt wurde. Messungen zeigen, dass die Buskapazität der NS32032-basierten Ceres nur wenig ausgelastet ist. Die zusätzlichen Kosten sind deshalb kaum zu rechtfertigen. Diese Feststellung steht im Widerspruch zur oft gehörten Ansicht der Überlegenheit einer 32-bit Rechnerarchitektur.